

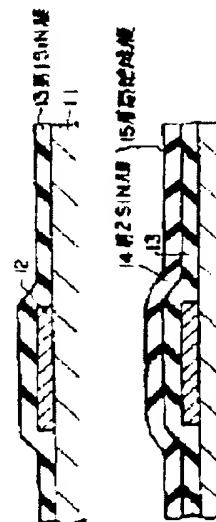
FORMATION OF CONTACT HOLE

Patent number: JP4142740
Publication date: 1992-05-15
Inventor: YOSHIMURA KAZUNORI
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: H01L21/302; H01L21/28; H01L21/3065; H01L21/3205;
H01L21/02; (IPC1-7): H01L21/28; H01L21/302;
H01L21/3205
- european:
Application number: JP19900266118 19901003
Priority number(s): JP19900266118 19901003

Report a data error here

Abstract of JP4142740

PURPOSE: To obtain a contact hole, which is superior in the accuracy of the form of the hole and has a stability as a technique for mass production, by a method wherein a layer insulating film on the side of the upper layer is made of a material whose etching rate is faster than that of a layer insulating film on the side of the lower layer, and then, an etching mask is formed on the layer insulating film on the side of the upper layer and an etching is performed. **CONSTITUTION:** A first SiN film 13 is formed on a substrate 11 as a layer insulating film, which is applied on a wiring 12, on the side of the lower layer of an interlayer insulating film. Subsequently, a second SiN film 14 is similarly formed on the film 13 as a layer insulating film on the side of the upper layer. The film formation of the film 14 is conducted with a mixed gas increased the mixing ratio of NH₃, which occupies in the mixed gas, to two to five times to the film-forming conditions of the film 13, whereby the etching rate in the film 14 is increased by 50 by 100% or thereabouts compared to that in the film 13. By such a way, the layer insulating film 15 is formed of the film 13, whose etching rate is slower, and the film 14, whose etching rate is faster.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-142740

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月15日

H 01 L 21/302
21/28
21/3205

M 7353-4M
V 7738-4M

7353-4M H 01 L 21/88

F

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 コンタクトホール形成方法

⑯ 特 願 平2-266118

⑰ 出 願 平2(1990)10月3日

⑱ 発 明 者 吉 村 和 則 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 船橋 国則

明 細 書

1. 発明の名称

コンタクトホール形成方法

2. 特許請求の範囲

基板上に配設した配線を覆う層間絶縁膜を形成し、その後層間絶縁膜にエッチングマスクを形成してエッチングを行うことにより、層間絶縁膜にコンタクトホールを形成する方法において、

前記層間絶縁膜を形成する場合に、当該層間絶縁膜の下層側を形成し、続いて前記形成した下層側の層間絶縁膜よりもエッチング速度が速くなる材料で上層側の層間絶縁膜を形成し、次いで上層側の層間絶縁膜上に前記エッチングマスクを形成してエッチングを行うことにより、前記層間絶縁膜にコンタクトホールを形成することを特徴とするコンタクトホールの形成方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、半導体装置の形成方法におけるコンタクトホールの形成方法に関するものである。

<従来の技術>

半導体装置に配設した配線を保護する層間絶縁膜には、カリウムイオン(K^+)、ナトリウムイオン(Na^+)等のアルカリ金属イオンの侵入を防ぐ性能を有する窒化ケイ素(SiN)膜を用いる。

この SiN 膜は、反応性イオンエッチング(RIE)装置を用いてエッチングを行った場合に、レジスト膜との選択比が非常に大きくなる。そのため第2図に示す如く、基板31上の配線32を被覆した層間絶縁膜33に形成したコンタクトホール34において、そのエッジ部分34aが鋭角的になりかつその内側壁34bが急峻になる。

このコンタクトホール34を含む層間絶縁膜33上に、露着装置を用いて配線層になるアルミニウム系金属膜35を形成した場合には、コンタクトホール34のエッジ部分34aを覆うことができない。この結果、このアルミニウム系金属膜35で配線を形成してもコンタクトホール34のエッジ部分34aで断線する。

上記断線の問題を取り除くための従来方法を次に説明する。

まず第1の方法を第3図①ないし同④に示す製造工程図により説明する。

第3図①に示す如く、基板41に形成した層間絶縁膜42上にエッチングマスクになるレジスト膜43を被覆し、次いでホトリソグラフィ技術により、コンタクトホール形成領域上に孔44を形成する。

続いて第3図②に示すように、熱処理としていわゆるレジストリフローを行い、レジスト膜43の流動性を利用して孔44の内側壁44aをテーパ形状にする。

その後第3図③に示す如く、RIE装置を用いて、孔44より層間絶縁膜42のエッチングを行い、層間絶縁膜42にコンタクトホール45を形成する。この時のエッチングではレジスト膜43を等方性エッチングする。そのため、エッチングが進行するに従い、孔44の径が大きくなるので、コンタクトホール45の内側壁45aが傾斜を有

するテーパ形状になる。

そして、レジスト膜43をアッシャー除去等により除去して、第3図④に示すように、層間絶縁膜42にテーパ形状のコンタクトホール45を得る。

次に、第2の方法を第4図①ないし同④に示す製造工程図により説明する。

第4図①に示す如く、前記第3図④で説明したと同様にして、基板51に形成した層間絶縁膜52上にレジストを塗布して、レジスト膜53を被覆する。次いでホトリソグラフィ技術によりコンタクトホール形成領域上のレジスト膜53に孔54を形成する。

その後、第4図②に示すように、レジスト膜53をエッチングマスクにして、レジスト膜53のエッチング速度と層間絶縁膜52のエッチング速度とがほぼ同一になるエッチング条件で、例えばRIE装置で、層間絶縁膜52を等方性エッチングする。

そして第4図③に示す、層間絶縁膜52に内側

壁55aが傾斜を有するテーパ形状のコンタクトホール55を形成する。

次いでレジスト膜53を除去して、第5図④に示す如く、層間絶縁膜52にテーパ形状のコンタクトホール55を得る。

<発明が解決しようとする課題>

しかしながら、上記した第1の方法は、レジスト膜に形成した孔を熱処理によって流動させてテーパ形状の孔を形成したので、孔の形状精度が低下する。そのため、コンタクトホールの形状精度も低下する。

一方第2の方法では、エッチング条件の設定が難しいために、コンタクトホールのテーパ形状が一定しない。このため、コンタクトホールのエッジ部分の形状が急峻になって、コンタクトホール上に配線層を形成した場合には断切れ状態になる。また、上記同様にコンタクトホールの形状精度が低下する。

この結果、上記の従来の方法は、量産技術として不安定であった。

本発明は、上記課題を解決するために成されたもので、コンタクトホールの形状精度に優れ、量産技術として安定性があるコンタクトホールの形成方法を提供することを目的とする。

<課題を解決するための手段>

本発明は、上記目的を達成するために成されたもので、その形成方法としては、基板に配設した配線を覆う層間絶縁膜を形成する場合に、層間絶縁膜の上層側をその下層側よりもエッチング速度が速くなる材料で形成する。その後エッチングマスクを形成し、続いて層間絶縁膜のエッチングを行って、コンタクトホールを形成する。

<作用>

上記のコンタクトホールの形成方法では、層間絶縁膜を形成する場合に、層間絶縁膜の上層側がその下層側よりもエッチング速度が速くなる材料で形成したことにより、エッチングの進行にともなって、層間絶縁膜の上層側が層間絶縁膜の下層側よりも速いエッチング速度でエッチングされる。この結果、エッチングで形成したコンタクトホー

ルがテーパ形状になる。

<実施例>

本発明のコンタクトホール形成方法では、プラズマによる化学気相成長(CVD)法等を用いて、窒化ケイ素(SiN)膜等の層間絶縁膜の成膜条件を変えることにより、エッチング速度に変化を持たせた層間絶縁膜を形成し、その後のエッチングによって層間絶縁膜にテーパ形状のコンタクトホールを形成する。

この形成方法の実施例を第1図④ないし⑥に示す製造工程図により詳細に説明する。

第1図④に示すように、従来の技術を用いて、基板11上に配線12を配設する。

次いで第1図④に示す如く、CVD装置として例えば平行平板型のプラズマCVD装置を用い、配線12を覆う下層側の層間絶縁膜として第1SiN膜13を基板11上に形成する。この時のSiN膜13の成膜条件は、一例として、モノシラン(SiH₄):アンモニア(NH₃)の混合比が1:1の混合気体を用い、RFパワーが80W

である。

続いて、第1図⑤に示す如く、上記同様にして、前記第1SiN膜13上に上層側の層間絶縁膜として第2SiN膜14を形成する。この場合の原料気体には、例えばモノシラン(SiH₄):アンモニア(NH₃)の混合比が1:3の混合気体を用いる。

一般に、原料気体にSiH₄とNH₃との混合気体を用いて、CVD法によりSiN膜を成膜した場合には、混合気体に占めるNH₃の混合比を高めることにより、成膜したSiN膜のエッチング速度は速くなることが知られている。

このため、成膜した第2SiN膜14は、第1SiN膜13よりもエッチング速度が速いSiN膜になる。

例えば、前記第1図④で説明した第1SiN膜13の成膜条件に対して、混合気体に占めるNH₃の混合比を2ないし5倍にした混合気体で第2SiN膜14の成膜を行うことにより、第2SiN膜14のエッチング速度は、第1SiN膜13

のエッチング速度に比較して、50%ないし100%程度速くなる。

以上の如くして、エッチング速度が速い第1SiN膜13とエッチング速度が速い第2SiN膜14とによりなる層間絶縁膜15を形成する。

また、SiN膜のエッチング速度を変えるには、原料ガスのSiH₄とNH₃との混合気体に酸化窒素(例えばN₂O)または酸素(O₂)を添加しても上記同様、成膜したSiN膜のエッチング速度を変えることができる。

次に第1図⑥に示すように、前記第2SiN膜14上にレジストを塗布してレジスト膜16を形成し、その後ホトリソグラフィ技術により、レジスト膜16に孔17を形成する。

続いて前記レジスト膜16をエッチングマスクにして、エッチング装置として例えばRIE装置を用い、前記第1、第2SiN膜13、14を等方性エッチングする。また上記実施例ではRIE装置によるドライエッチングで行ったが、ウェットエッチングで行うこともできる。そして第1図

⑤に示す如く、第1、第2SiN膜13、14にコンタクトホール18を形成する。このコンタクトホール18は、第2SiN膜14のエッチング速度が速く、第1SiN膜13のエッチング速度が遅いために、テーパ形状になる。

次いで、レジスト膜16を例えばアッシャー処理によって除去する。そして第1図⑥に示すように、配線12の上面の一部を露出させたテーパ形状のコンタクトホール18を第1、第2SiN膜13、14に形成する。このコンタクトホール18を介して第2SiN膜14上に配線層(図示せず)を形成し場合には、コンタクトホール18のエッジ部分18aが鋭角状になるので、配線層の断切れを防ぐ。

上記説明の実施例では、異なるエッチング速度を有する2層のSiN膜を形成して層間絶縁膜としたが、この層間絶縁膜は、異なるエッチング速度を有する3層以上のSiN膜で、上層側に向かうに従ってエッチング速度が速くなるように形成してもよい。また、エッチング速度が異なる層順

の膜として、例えば下層側に酸化ケイ素膜を形成して上層側に窒化ケイ素膜を形成してもよい。さらに、CVD装置でSiN膜を形成する場合に、混合気体に占めるNH₃の混合比を無段階的に変化させて、下層側より上層側に向かってエッチング速度が無段階的に速くなるSiN膜で形成してもよい。これらの方法で形成した層間絶縁膜にも上記同様にして、テーパ形状のコンタクトホールが形成できる。

＜発明の効果＞

以上、説明したように本発明によれば、層間絶縁膜の上層側をその下層側よりもエッチング速度が速くなる材料で形成し、その後コンタクトホールを形成するエッチングを行う。このように層間絶縁膜がエッチング速度を決定するので、エッチング条件を高精度に設定する必要がない。また形成したコンタクトホールは、エッジ部分がほぼ鈍角形状で、形状精度に優れたテーパ形状になる。この結果、量産においてコンタクトホールの形状精度が安定し、コンタクトホールのエッジ部分に

おける配線層の断切れの低減が図れる。

4. 図面の簡単な説明

第1図は、実施例の製造工程図、

第2図は、従来の製造方法における問題点の説明図、

第3図は、第1従来例の製造工程図、

第4図は、第2従来例の製造工程図である。

11…基板、 12…配線、

13…第1SiN膜、

14…第2SiN膜、

15…層間絶縁膜、 16…レジスト膜、

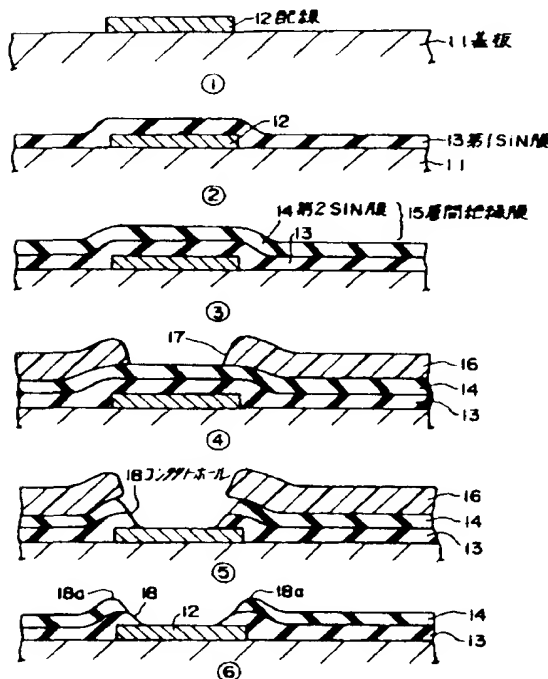
17…孔、 18…コンタクトホール。

特許出願人

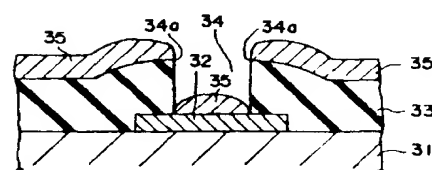
沖電気工業株式会社

代理人

弁理士 船橋 國 剛

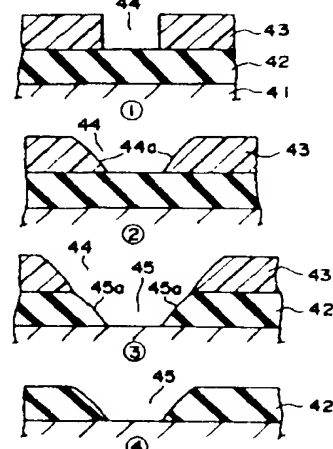


実施例の製造工程図
第1図

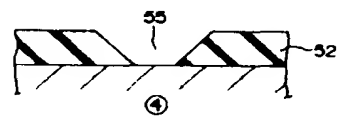
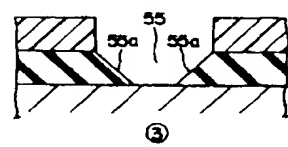
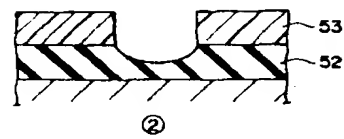
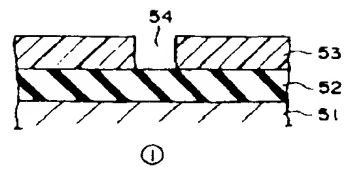


従来の製造方法における問題点の説明図

第2図



第1従来例の製造工程図
第3図



第2従来例の製造工程図
第4図

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Japanese Published Patent Application: No. H4-142740

(43) Date of Publication: May 15, 1992

5	(51) Int. Cl. ⁵	Identification Symbol	Official Reference Number
	H 01L 1/302	M	7353-4M
	21/28	V	7738-4M
	21/3205		
		7353-4M	H01L 21/88 F

10 Request for Examination: not made

Number of Claims: 1 (5 pages in total)

(54) Title of the Invention: Method for Forming Contact Hole

(21) Application Number: No. H2-266118

(22) Date of Filing: October 3, 1990

15 (72) Inventor: Kazunori YOSHIMURA
c/o OKI ELECTRIC INDUSTRY CO., LTD
1-7-12, Toranomom, Minato-ku, Tokyo,

(71) Applicant: OKI ELECTRIC INDUSTRY CO., LTD
1-7-12, Toranomom, Minato-ku, Tokyo,

20 (74) Agent: Patent Attorney, Kuninori HUNABASHI

Specification

1. Title of the Invention:

METHOD FOR FORMING CONTACT HOLE

25 2. Scope of Claims

A method for forming a contact hole in which an interlayer insulating film covering a wiring disposed on a substrate is formed and then a contact hole is formed in the interlayer insulating film by forming an etching mask on the interlayer insulating film and etching is characterized in that, when the interlayer insulating film is formed, a

30 lower layer of the interlayer insulating film is formed; an upper layer of the interlayer insulating film is subsequently formed of a material which makes an etching rate of the upper layer of the interlayer insulating film higher than that of the lower layer of the

interlayer insulating film; and then the etching mask is formed on the interlayer insulating film on the upper layer side to perform etching, and accordingly the contact hole is formed in the interlayer insulating film.

3. Detailed Description of the Invention

5 [Field of Industrial Application]

The present invention relates to a method for forming a contact hole in a method for manufacturing a semiconductor device.

[Prior Art]

10 A silicon nitride (SiN) film having a function of blocking entry of an alkali metal ion such as a potassium ion (K^+) or a sodium ion (Na^+) is used for an interlayer insulating film for protecting a wiring disposed in a semiconductor device.

When this SiN film is etched with a reactive ion etching (RIE) system, the selection ratio to a resist film becomes extremely high. Therefore, as illustrated in FIG. 2, in a contact hole 34 formed in an interlayer insulating film 33 covering a wiring 32 on a substrate 31, an edge portion 34a of the contact hole 34 becomes acute-angle shaped and an inner-side wall 34b of the contact hole 34 becomes percipitous. 15

When an aluminum-based metal film 35 to serve as a wiring layer is formed with an evaporation system on the interlayer insulating film 33 including this contact hole 34, the edge portion 34a of the contact hole 34 cannot be covered. Consequently, 20 although the wiring is formed of this aluminum-based metal film 35, the wiring is disconnected at the edge portion 34a.

Conventional methods for removing the above problem of disconnection will be hereinafter described.

First, a first method will be described with reference to a manufacturing 25 process diagram illustrated in FIGS. 3(1) to 3(4).

As illustrated in FIG. 3(1), an interlayer insulating film 42 formed on a substrate 41 is covered with a resist film 43 to serve as an etching mask, and then an opening 44 is formed on a contact hole formation region by a photolithography technique.

30 Subsequently, as illustrated in FIG. 3(2), so-called resist reflow is performed as heat treatment, so that inner-side wall 44a of the opening 44 is made to have a taper shape by utilizing the fluid of the resist film 43.

Thereafter, as illustrated in FIG. 3(3), the interlayer insulating film 42 is etched with an RIE system from the opening 44, so that a contact hole 45 is formed in the interlayer insulating film 42. At this time, the resist film 43 is etched by isotropic etching. Therefore, the diameter of the opening 44 becomes larger as etching proceeds, so that an inner-side wall 45a of the contact hole 45 has a taper shape with a slope.

Then, the resist film 43 is removed by ashing removal or the like, and the taper-shaped contact hole 45 is obtained in the interlayer insulating film 42 as illustrated in FIG. 3(4).

Next, a second method will be described with reference to a manufacturing process diagram illustrated in FIGS. 4(1) to 4(4).

As illustrated in FIG. 4(1), as with the way described above with reference to FIG. 3(1), a resist is applied onto an interlayer insulating film 52 formed on a substrate 51, so that the interlayer insulating film 52 is covered with a resist film 53. Next, an opening 54 is formed in the resist film 53 on a contact hole formation region by a photolithography technique.

Thereafter, as illustrated in FIG. 4(2), the resist film 53 is used as an etching mask, and the interlayer insulating film 52 is etched by isotropic etching with, for example, an RIE system under the etching condition where the etching rate of the resist film 53 and that of the interlayer insulating film 52 almost correspond to each other.

Then, as illustrated in FIG. 4(3), a taper-shaped contact hole 55 of which an inner-side wall 55a has a slope is formed in the interlayer insulating film 52.

Next, the resist film 53 is removed, and the taper-shaped contact hole 55 is obtained in the interlayer insulating film 52 as illustrated in FIG. 5(4).

[Problem to be Solved by the Invention]

However, in the first method described above, since the taper-shaped opening is formed in such a manner that the opening formed in the resist film is made fluid by heat treatment, the shape accuracy of the opening is lowered. Accordingly, the shape accuracy of the contact hole is also lowered.

On the other hand, in the second method, setting of an etching condition is difficult, so that a taper shape of the contact hole is irregular. Therefore, the edge portion of the contact hole becomes precipitous and forming a wiring layer over the contact hole causes a disconnection. In addition, the shape accuracy of the contact

hole is lowered in a similar manner as described above.

Consequently, the above conventional methods have been unstable as a mass production technique.

The present invention has been made in order to solve the above problems, and it is an object of the present invention to provide a method for forming a contact hole which is excellent in the shape accuracy of the contact hole and stable as a mass production technique.

[Means to Solve the Problem]

The present invention has been made in order to solve the above object. As a method for forming a contact hole, when an interlayer insulating film covering a wiring disposed on a substrate is formed, an upper layer of the interlayer insulating film is formed of a material which makes an etching rate of the upper layer of the interlayer insulating film higher than that of a lower layer thereof; thereafter, an etching mask is formed; subsequently, the interlayer insulating film is etched; and a contact hole is formed.

[Operation]

In the above method for forming a contact hole, when an interlayer insulating film is formed, an upper layer of the interlayer insulating film is formed of a material which makes an etching rate of the upper layer higher of the interlayer insulating film than that of a lower layer thereof, so that the upper layer of the interlayer insulating film is etched at a higher etching rate than that of the lower layer thereof as etching proceeds. Consequently, the contact hole formed through etching becomes taper-shaped.

[Embodiment]

In a method for forming a contact hole of the present invention, interlayer insulating films having various etching rates are formed by a chemical vapor deposition (CVD) method or the like by changing the film formation condition of the interlayer insulating film such as a silicon nitride (SiN) film, and a taper-shaped contact hole is formed in the interlayer insulating film through the following etching.

An embodiment of this formation method will be described in detail with reference to a manufacturing process diagram illustrated in FIGS. 1(1) to 1(6).

As illustrated in FIG. 1(1), a wiring 12 is disposed on a substrate 11 by a conventional technique.

Next, as illustrated in FIG.1(2), a first SiN film 13 is formed on the substrate 11 as a lower layer of an interlayer insulating film covering the wiring 12, with a CVD apparatus such as a parallel plate plasma CVD apparatus. As an example, the film formation condition of the SiN film 13 at this time is that a mixed gas of which mixture ratio of monosilane (SiH_4) to ammonia (NH_3) satisfies 1:1 is used and RF power is 80W.

Subsequently, as illustrated in FIG.1(3), a second SiN film 14 is formed on the first SiN film 13 as an upper layer of the interlayer insulating film in a similar manner as described above. As a material gas in this case, for example, a mixed gas of which mixture ratio of monosilane (SiH_4) to ammonia (NH_3) satisfies 1:3 is used.

It is generally known that, in the case where an SiN film is formed by a CVD method by using a mixed gas of SiH_4 and NH_3 as a material gas, increase in mixture ratio of NH_3 contained in the mixed gas makes the etching rate of the formed SiN film higher.

Therefore, the formed second SiN film 14 is an SiN film having a higher etching rate than the first SiN film 13.

For example, in contrast to the film formation condition of the SiN film 13 described with reference to FIG. 1(2), the second SiN film 14 is formed using a mixed gas of which the mixture ratio of NH_3 is increased to two to five times, so that the etching rate of the second SiN film 14 becomes higher by approximately 50 to 100 % than that of the first SiN film 13.

In this manner, an interlayer insulating film 15 including the first SiN film 13 having a low etching rate and the second SiN film 14 having a high etching rate is formed.

In addition, in order to change the etching rate of an SiN film, oxidized nitrogen (e.g., N_2O) or oxygen (O) is added to a mixed gas of SiH_4 and NH_3 as a material gas, so that the etching rate of the formed SiN film can also be changed in a similar way as described above.

Next, as illustrated in FIG.1(4), a resist is applied onto the second SiN film 14, so that a resist film 16 is formed, and then an opening 17 is formed in the resist film 16 by a photolithography technique.

Subsequently, the first and second SiN films 13 and 14 are etched by isotropic

etching with, for example, an RIE system as an etching system by using the resist film 16 as an etching mask. Further, although dry etching with an RIE system is employed in the above embodiment, wet etching can also be employed. Then, as illustrated in FIG. 1(5), a contact hole 18 is formed in the first and second SiN films 13 and 14. This contact hole 18 becomes taper-shaped due to the high etching rate of the second SiN film 14 and the low etching rate of the first SiN film 13.

Next, the resist film 16 is removed by ashing treatment, for example. Then, as illustrated in FIG. 1(6), the taper-shaped contact hole 18 exposing part of the upper surface of the wiring 12 is formed in the first and second SiN films 13 and 14. When a wiring layer (not illustrated) is formed over the second SiN film 14 through this contact hole 18, an edge portion 18a of the contact hole 18 becomes obtuse-angle shaped, so that a disconnection of a wiring layer is prevented.

Although the interlayer insulating film is formed of two SiN films having different etching rates in above-described Embodiment, this interlayer insulating film may be formed of three or more SiN films having different etching rates so that an etching rate is higher toward the SiN film on the side of the upper layer. Further, as kinds of films having different etching rates, a silicon oxide film may be formed on the side of the lower layer and the silicon nitride film may be formed on the side of the upper layer, for example. Alternatively, when the SiN film is formed with a CVD apparatus, it may be formed of an SiN film of which the etching rate gradually becomes higher from the lower side to the upper side in such a manner that the mixture ratio of NH_3 contained in a mixed gas is gradually changed. In a similar manner as described above, a taper-shaped contact hole can also be formed in the interlayer insulating film formed by these methods.

[Effect of the Invention]

According to the present invention described so far, an upper layer of an interlayer insulating layer is formed of a material which makes an etching rate of the upper layer of the interlayer insulating layer higher than that of a lower layer thereof. Since an etching rate is determined by an interlayer insulating film in this manner, an etching condition need not to be set with a high degree of accuracy. Moreover, a formed contact hole, of which an edge portion is almost obtuse-angle shaped, has a taper shape which is excellent in shape accuracy. Consequently, the shape accuracy of

the contact hole becomes stable and disconnection of a wiring layer in the edge portion of the contact hole can be reduced.

4. Brief Description of the Drawings

FIG. 1 is a manufacturing process diagram of Embodiment.

5 FIG. 2 is an explanation view of problems in conventional methods.

FIG. 3 is a manufacturing process diagram of an example of a first conventional manufacturing method.

FIG. 4 is a manufacturing process diagram of an example of a second conventional manufacturing method.

10 11: substrate, 12: wiring, 13: first SiN film, 14: second SiN film, 15: interlayer insulating film, 16: resist film, 17: opening, 18: contact hole.

Patent Applicant: OKI ELECTRIC INDUSTRY CO., LTD

Agent: Patent Attorney, Kuninori HUNABASHI